

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220123
 (43)Date of publication of application : 10.08.1999

(51)Int.CI. H01L 29/78
 H01L 21/3065

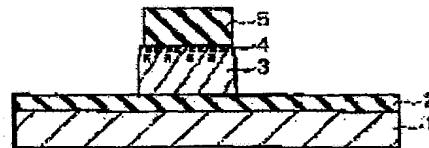
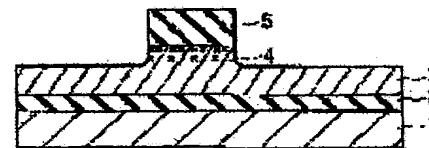
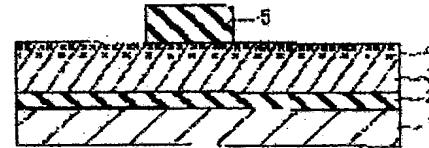
(21)Application number : 10-017435 (71)Applicant : SONY CORP
 (22)Date of filing : 29.01.1998 (72)Inventor : KAWASHIMA ATSUSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence of side etching caused by the difference in etching rate, and to suppress the increase in resistance following the effect of fine wire by a method wherein dry etching is performed by changing the thickness of a side wall protective film for formation of an element formation layer using the side wall protective film.

SOLUTION: First, the natural oxidation film on the surface of a polysilicon layer is removed by etching. Subsequently, the impurity-doped part on the surface of the polysilicon film 3 is dry-etched by using both dry etching gas and side wall protection film forming gas. Then, the non-doped part of the lower layer section of the polysilicon film 3 is dry-etched using both dry-etching gas and the side wall protection film forming gas. When the polysilicon film 3 is dry-etched by using the side wall protecting film, dry etching treatment is performed while the thickness of the side wall protecting film is being changed in accordance with the concentration of impurities contained in the layer of the polysilicon film 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-220123

(43)公開日 平成11年(1999)8月10日

(51)Int.Cl.⁶

識別記号

F I

H 01 L 29/78

H 01 L 29/78

3 0 1 G

21/3065

21/302

J

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21)出願番号 特願平10-17435

(71)出願人 000002185

ソニー株式会社

(22)出願日 平成10年(1998)1月29日

東京都品川区北品川6丁目7番35号

(72)発明者 川島 淳志

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

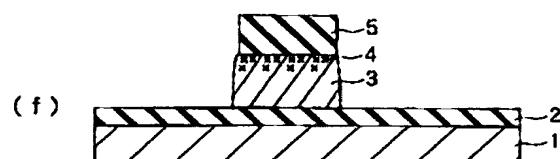
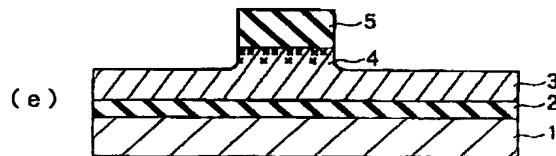
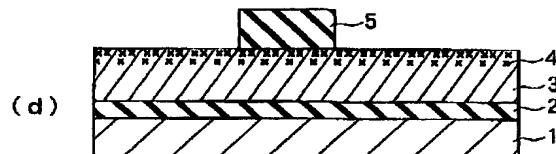
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】側壁保護膜を用いながらドライエッティングにより素子形成層を所定のパターンに形成する際に生じるエッティングレートの相違に起因するサイドエッティングの発生を防止し、サリサイド工程により形成されるチタニウムシリサイド等の金属シリサイドの形成面積が小さくなつて、いわゆる細線効果に伴う抵抗上昇を抑制して、信頼性の高い半導体装置を製造する製造方法を提供する。

【解決手段】素子形成層を側壁保護膜を用いて所定のパターンに形成するためのドライエッティング工程を有する半導体装置の製造方法において、前記ドライエッティング工程は、側壁保護膜の膜厚が厚い状態でドライエッティングを行う工程と、側壁保護膜の膜厚が薄い状態でドライエッティングを行う工程とからなる半導体装置の製造方法。



請求項1記載の半導体装置の製造法。

【請求項9】前記側壁保護膜形成用のガスは、臭化水素である、

請求項8記載の半導体装置の製造法。

【請求項10】前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、

反応性イオンエッチング(Reactive Ion Etching)である、

請求項1記載の半導体装置の製造法。

10 【請求項11】前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、

エッチング用ガスとして、塩素、酸素および臭化水素を含有するガスを用いる工程である、

請求項1記載の半導体装置の製造法。

【請求項12】半導体基板上に絶縁膜を形成する工程と、

該絶縁膜上にポリシリコンからなる層を形成する工程と、

該ポリシリコンからなる層に不純物をドーピングする工程と、

前記ポリシリコンからなる層の不純物がドーピングされた部分を、側壁保護膜の膜厚が厚い状態でドライエッチングを行う工程と、

前記ポリシリコンからなる層の不純物がドーピングされていない部分を側壁保護膜が薄い状態でドライエッチングを行う工程とを有する、

半導体装置の製造方法。

【請求項13】前記不純物は、周期律表の5B族元素である、

30 請求項12記載の半導体装置の製造法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法、特にMOS(Metal Oxide Semiconductor)トランジスターのゲート電極形成工程において使用されるドライエッチング方法に関する。

【0002】

【従来の技術】近年、半導体装置の分野ではますます集積化が進行して、例えば、超LSIについてその構造の

40 微細化が進み、微細加工技術への要求は益々厳しいものとなってきている。例えば、ポリシリコンをはじめとするシリコン系材料を用いたゲート加工に関しても、異方性と高選択比を両立するプロセスの開発が望まれている。

【0003】ところで、酸化膜以外の材料をプラズマエッチングにより、例えば、素子形成層を所定のパターンで形成する場合において、その異方性形状の確保については、プラズマエッチング時に生成した反応生成物がプラズマ中で再解離することにより、層の側壁に保護膜

50 (以下、「側壁保護膜」という。)を形成しながら、エ

【特許請求の範囲】

【請求項1】素子形成層を側壁保護膜を用いて所定のパターンに形成するためのドライエッチング工程を有する半導体装置の製造方法において、前記ドライエッチング工程は、側壁保護膜の膜厚を変化させてドライエッチングを行う工程である、半導体装置の製造方法。

【請求項2】前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、側壁保護膜の膜厚が厚い状態でドライエッチングを行う工程と、側壁保護膜の膜厚が薄い状態でドライエッチングを行う工程とからなる、
請求項1記載の半導体装置の製造方法。

【請求項3】前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、エッチングガスに対するエッチングレートに応じて側壁保護膜の膜厚を変化させながらドライエッチングを行う工程である、

請求項1記載の半導体装置の製造方法。

【請求項4】前記側壁保護膜の膜厚が厚い状態でドライエッチングを行う工程は、不純物がドーピングされたポリシリコン膜をエッチングする工程である、
請求項1記載の半導体装置の製造方法。

【請求項5】前記側壁保護膜を形成しながら所定のパターンを形成するためのドライエッチング工程は、ゲート電極を形成する工程である、

請求項1記載の半導体装置の製造方法。

【請求項6】前記不純物は周期律表の5B族元素である、

請求項4記載の半導体装置の製造法。

【請求項7】前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、前記ポリシリコン膜の不純物がドーピングされた部分をエッチングする際における前記側壁保護膜の膜厚を、前記ポリシリコン膜の不純物がドーピングされていないポリシリコン膜をエッチングする際における前記側壁保護膜の膜厚よりも厚くしながらエッチングする工程である、
請求項1記載の半導体装置の製造法。

【請求項8】前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、前記ポリシリコン膜の不純物がドーピングされた部分をエッチングする際における前記側壁保護膜形成用のガス量を、前記ポリシリコン膜の不純物がドーピングされていない部分をエッチングする際における前記側壁保護膜形成用ガス量よりも多く用いてエッチングする工程である、

ツチングを行う手法が採られている。

【0004】また、最近の半導体装置の構造の微細化に伴い、素子形成層等の寸法格差の絶対値とそのばらつきが問題となってきた。その為の対策として、例えば、高速排気を行いつつエッチングすることにより、エッチング処理中におけるエッチングガスの滞留時間を短くする方法が採用されてきている。

【0005】しかし、上記の方法では、エッチング処理中におけるエッチングガスの滞留時間が短くなる結果、エッチング処理中に反応生成物がプラズマ中で再解離するのが抑制され、堆積物が減少し、側壁保護膜が薄膜化する。側壁保護膜が薄膜化すると、サイドエッチングが進みすぎたり、ノッチングと呼ばれる現象が生じ、素子形成層等の寸法格差の絶対値とそのばらつきの問題は解決されない。

【0006】このための対策として、基板印加バイアスを上昇させる方法もあるが、今度は下地のゲート酸化膜とのエッチングに対する選択比の低下や、プラズマダメージ発生による酸化膜劣化のおそれがある。

【0007】一方、半導体装置において、ポリシリコン膜を電極材料あるいはコンタクト材料として用いる場合、通常、化学的気相成長法(CVD法)又はスパッタリング法等により、ポリシリコン膜を成長させたのち、イオン注入法又は拡散法等で、リン、ホウ素等の不純物をポリシリコン中にドーピングし、熱処理を行っている。このように不純物を含有したポリシリコン膜をゲート酸化膜上のゲート電極として用いた場合、ポリシリコン膜成長後に加えられる熱処理によって、不純物がゲート酸化膜に拡散してその膜質に劣化をもたらす。

【0008】それを避けるため、熱処理を行わずにゲート電極の加工、すなわち、不純物を含有したポリシリコン膜のドライエッチングを行う手法が知られている。

【0009】

【発明が解決しようとする課題】しかし、上記熱処理を行わない手法では、ドーピングした不純物はポリシリコン表層部に偏って存在することになり、リン、砒素等の周期律表5B族元素であるn型ドーパントをドーピングした部分は、ドーピングしないポリシリコンと比較してエッチングレート(エッチングされ易さ)が大きいため、n型不純物がドーピングされたポリシリコン膜の表層部に局所的にサイドエッチングが入る問題がある(図7(a), (b)参照)。このようなサイドエッチングは、前述のような高速排気プロセスによる側壁保護膜の薄さに加え、n型ドープドポリシリコンにおいて生じるエッチングレートの増速に起因している。

【0010】サイドエッチングが発生すると、段差被覆性に優れたサイドウォールスベーサ形成用の窒化シリコン膜がこのサイドエッチング部に入り込み、サイドエッチング部においては、ゲート電極上面が覆われてしまうことになる(図7(c)及び図8(d), (e)参

照)。

【0011】従って、後のサリサイド工程により形成されるチタニウムシリサイド等の金属シリサイドの形成面積が小さくなり、いわゆる細線効果に伴う抵抗上昇をもたらし、半導体装置の信頼性の低下につながるおそれがある。

【0012】本発明は、側壁保護膜を用いながらドライエッチングにより素子形成層を所定のパターンに形成する際に生じるエッチングレートの相違に起因するサイドエッチングの発生を防止し、サリサイド工程により形成されるチタニウムシリサイド等の金属シリサイドの形成面積が小さくなつて、いわゆる細線効果に伴う抵抗上昇を抑制して、信頼性の高い半導体装置を製造する製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、かかる目的を達成すべく、素子形成層を側壁保護膜を用いて所定のパターンに形成するためのドライエッチング工程を有する半導体装置の製造方法であつて、前記ドライエッチング

20 工程は、側壁保護膜の膜厚を変化させてドライエッチングを行う工程である半導体装置の製造方法を提供する。

【0014】本発明の半導体装置の製造方法において、前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、好ましくは、側壁保護膜の膜厚が厚い状態でドライエッチングを行う工程と、側壁保護膜の膜厚が薄い状態でドライエッチングを行う工程とからなる半導体装置の製造方法である。

【0015】本発明の半導体装置の製造方法において、前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、好ましくは、エッチングガスに対するエッチングレートに応じて側壁保護膜の膜厚を変化させながらドライエッチングを行う工程である半導体装置の製造方法である。

【0016】本発明の半導体装置の製造方法においては、前記側壁保護膜の膜厚が厚い状態でドライエッチングを行う工程は、好ましくは、不純物がドーピングされたポリシリコン膜をエッチングする工程であり、前記側壁保護膜を形成しながら所定のパターンを形成するためのドライエッチング工程は、ゲート電極を形成する工程40 であり、前記不純物は周期律表の5B族元素が好ましい。

【0017】本発明の半導体装置の製造方法において、前記側壁保護膜の膜厚を変化させてドライエッチングを行う工程は、好ましくは、前記ポリシリコン膜の不純物がドーピングされていないポリシリコン膜をエッチングする際における前記側壁保護膜の膜厚よりも厚くしながらエッチングする工程である。

50 【0018】また、本発明の半導体装置の製造方法にお

いては、前記側壁保護膜の膜厚を変化させてドライエッティングを行う工程は、より好ましくは、前記ポリシリコン膜の不純物がドーピングされた部分をエッティングする際ににおける前記側壁保護膜形成用のガス量を、前記ポリシリコン膜の不純物がドーピングされていない部分をエッティングする際ににおける前記側壁保護膜形成用ガス量よりも多く用いてエッティングする工程である。

【0019】前記側壁保護膜形成用のガスは、好ましくは、臭化水素又はヨウ化水素であり、前記側壁保護膜の膜厚を変化させてドライエッティングを行う工程は、好ましくは、反応性イオンエッティング(Reactive Ion Etching)であり、前記側壁保護膜の膜厚を変化させてドライエッティングを行う工程は、エッティング用ガスとして、塩素、酸素および臭化水素を含有するガスが好ましい。

【0020】本発明の製造方法は、好適には、MOS型トランジスタを有する半導体装置の製造方法であって、半導体基板上に絶縁膜を形成する工程と、該絶縁膜上にポリシリコンからなる層を形成する工程と、該ポリシリコンからなる層に不純物をドーピングする工程と、前記ポリシリコンからなる層の不純物がドーピングされた部分を、側壁保護膜の膜厚が薄い状態でドライエッティングを行う工程と、前記ポリシリコンからなる層の不純物がドーピングされていない部分を側壁保護膜が薄い状態でドライエッティングを行う工程とを有する。

【0021】

【発明の実施の形態】次に、本発明の実施の形態により、本発明の半導体装置の製造方法を詳細に説明する。

【0022】第1実施形態

本発明の第1の実施形態は、本発明の半導体製造方法を用いるMOS型トランジスタのゲート電極の形成方法、すなわち、前記素子形成層がゲート電極の場合の適用例である。

【0023】先ず、図1(a)に示すように、例えば、シリコン半導体基板等の半導体基板1上に、酸化シリコン等の酸化絶縁膜2を、例えば、熱CVD法、LOCOS酸化等の通常の方法により形成する。この場合、NチャネルMOSトランジスタを形成する場合にはp型シリコン半導体基板を、PチャネルMOSトランジスタを形成する場合には、n型シリコン半導体基板を用いる。

【0024】次いで、該酸化絶縁膜上に、例えば、CVD法等の通常の方法により、ポリシリコン膜3を全面に形成する。

【0025】次に、図1(b)に示すように、前記ポリシリコン膜3表層部に、例えば、イオン注入法により、不純物をイオン注入する。不純物としては、n型不純物としてリンや砒素の化合物を、p型不純物としてホウ素化合物を用いることができる。このイオン注入により、ポリシリコン膜3表層部分には、リンや砒素等のn型不純物がドープされた部分4が形成される。

【0026】次いで、図1(c)に示すように、全面に

酸化シリコン膜5を、例えば、CVD法等により堆積させる。次に、図2(d)に示すように、全面に図示しないレジスト膜を堆積させ、例えば、フォトエッティングにより電極形成のための酸化シリコン膜5のバターニングを行う。

【0027】このようにして得られた基板に対して、ポリシリコン膜3を、次のような条件で、側壁保護膜を用いる反応性イオンエッティング(Reactive Ion Etching)等のドライエッティングにより、ゲート電極のパターン形成を行う。

【0028】先ず、図示しないポリシリコン膜3の表層部の自然酸化膜をエッティングにより除去する。このときのエッティング条件は、例えば、以下のようである。

【0029】

エッティングガス流量: Cl₂ 120 sccm

温度 : 20°C

マイクロ波(2.45 GHz)出力: 400 W

基板バイアス高周波(400 kHz)出力: 50 W

排気量 : 600 l/s

20 続いて、図2(e)に示すように、ポリシリコン膜3の表層部の不純物がドープされた部分を、例えば、塩素ガスと酸素ガスの混合ガス等のドライエッティング用ガスと、例えば、臭化水素等の側壁保護膜形成用のガスを併用することにより、ドライエッティングを行う。このときのドライエッティング条件は、例えば、以下のようである。

【0030】

ガス流量: Cl₂ 60 sccm

O₂ 5 sccm

HBr 60 sccm

30 温度 : 20°C

マイクロ波(2.45 GHz)出力: 400 W

基板バイアス高周波(400 kHz)出力: 25 W

排気量 : 300 l/s

この場合、不純物濃度は表層ほど高く、また不純物濃度が高い程、エッティングレートも高くなるため、エッティング後のポリシリコン膜3の表層部の形状は、ポリシリコン膜3の表層部から下に向かう程ゲートの幅が拡がっているのが通常である。

40 【0031】次に、図2(f)に示すように、ポリシリコン膜3の下層部の不純物がドープされていない部分を、例えば、塩素ガスと酸素ガスの混合ガス等のドライエッティング用ガスと、例えば、臭化水素等の側壁保護膜形成用のガスを併用してドライエッティングを行う。このときのドライエッティングの条件は、例えば、以下の条件である。

【0032】

7
ガス流量: C₁ 90 sccm
O₂ 5 sccm
HBr 30 sccm

温度 : 20°C

マイクロ波 (2.45 GHz) 出力 : 400 W

基板バイアス高周波 (400 kHz) 出力 : 25 W

排気量 : 600 l/s

本発明の製造方法は、ポリシリコン膜3の表層部の不純物がドープされた部分と、ポリシリコン膜3の下層部の不純物がドープされていない部分との側壁保護膜の膜厚を変化させながら、ドライエッチングを行って、ゲート電極のパターンを形成を行うことを特徴とする。すなわち、ポリシリコン膜3を側壁保護膜を用いて、ドライエッチングを行う際、ポリシリコン膜3の層中に含まれる不純物の濃度に応じて、側壁保護膜の膜厚を変化させながら、ドライエッチングを行うものである。

【0033】通常、ポリシリコン中にドープされた不純物濃度が高い程、エッチャント（エッチングガス）に対するエッチングレートが高い。従って、ポリシリコン膜3中に含まれる不純物濃度が高い部分は、側壁保護膜の膜厚を厚くし、すなわち、側壁保護膜形成用ガスの量を多くして、ドライエッチングを行い、ポリシリコン膜3中に含まれる不純物濃度が低いかあるいは存在しない部分は、側壁保護膜の膜厚を相対的に薄くし、すなわち、側壁保護膜形成用ガスの量を少なくして、ドライエッチングを行う。

【0034】側壁保護膜の膜厚は、側壁保護膜用ガスの流量、真空チャンバーから排気するガスの排気量、および試料台の温度等の各種パラメータによって、自由に設定することができる。

【0035】このように側壁保護膜の膜厚を変化させながら、ドライエッチングを行うことによって、従来問題となっていた、ポリシリコン膜中の不純物濃度が高い部分におけるサイドエッチングの発生を効果的に防止することができる。

【0036】従って、本発明の第1実施形態の半導体製造方法によれば、側壁保護膜を用いながらドライエッチングにより素子形成層を所定のパターンに形成する際に生じる、エッチングレートの相違に起因するサイドエッチングの発生を防止し、サリサイド工程により形成されるチタニウムシリサイド等の金属シリサイドの形成面積が小さくなって、いわゆる細線効果に伴う抵抗上昇を抑制して、信頼性の高い半導体装置を製造する製造方法を提供することができる。

【0037】第2実施形態

本発明の第2実施形態は、本発明の製造方法を適用したNチャネルMOSトランジスタの製造例である。

【0038】先ず、図3 (a) に示すように、p型シリコン半導体基板6上に、LOCOS法 (Locos Oxidation of Silicon) により、膜厚の薄い酸化シリコン膜（素

子分離膜）7を形成する。この場合、さらに素子形成領域上の酸化シリコン膜を一層除去し、例えば、CVD法、スパッタリング法等により、再度酸化シリコン膜（ゲート酸化膜11）を形成することもできる。

【0039】続いて、図3 (b) に示すように、全面にポリシリコン膜8を、例えば、CVD法またはスパッタリング法等により形成し、その表層部に、例えば、リン化合物等の周期律表の第5B族元素の化合物をイオン注入法によりイオン注入することにより、ポリシリコン膜8の表層部に不純物がドープされた部分9を形成する。

【0040】次に、図3 (c) に示すように、全面に酸化シリコン膜10を、例えば、CVD法により形成する。次いで、図4 (d) に示すように、図示しないレジスト膜を全面に堆積させたのち、フォトエッチングによりパターニングを行い、エッチングのより酸化シリコン膜10を所定のパターンに形成する。

【0041】次いで、ポリシリコン膜8を、第1実施形態の場合と同様に、ポリシリコン膜3の表層部の不純物がドープされた部分と、ポリシリコン膜8の下層部の不純物がドープされていない部分との側壁保護膜の膜厚を変化させながら、ドライエッチングを行って、ゲート電極のパターンを形成を行う。ポリシリコン膜8の表層部の不純物がドープされた部分をドライエッチングしたときの途中図を図4 (e) に、ポリシリコン膜8の下層部の不純物がドープされていない部分をドライエッチングして、ゲート電極を形成した状態を図4 (f) にそれぞれ示す。

【0042】このように、第1実施形態と同様にして側壁保護膜の膜厚を変化させながら、ドライエッチングを行うことによって、従来問題となっていたポリシリコン膜中の不純物濃度が高い部分におけるサイドエッチングの発生を有効に防止することができる。

【0043】次いで、図5 (g) に示すように、ゲート電極下部のゲート酸化膜11を残し、基板6上の素子領域の酸化シリコン膜をエッチング除去したのち、リンや砒素等のn型不純物を、ゲート電極と素子分離膜との間に、例えば、イオン注入法により、比較的浅くイオン注入を行うことにより、低濃度の不純物がドープされたn⁻領域12を形成する。このときのイオン注入の条件は、例えば、10~30 keVのエネルギー、2×10¹⁵~8×10¹⁵/cm²のドーズ量である。

【0044】次に、図5 (h) に示すように、全面に酸化シリコン等の酸化絶縁膜を堆積させたのち、異方性エッチングにより、前記ゲート電極側面にサイドウォール14を形成して、前記n⁻領域12の更に外側で、サイドウォール14のエッジ下方から外側にかけて、例えば、イオン注入法により、比較的深くイオン注入を行うことにより、高濃度の不純物がドープされたn⁺領域13を形成する。このときのイオン注入の条件は、例えば、40~80 keVのエネルギー、1×10¹⁴~8×

$10^{14}/\text{cm}^2$ のドーズ率である。

【0045】このようにして形成される構造は、LDD構造 (Lightly Doped Drain Structure) といわれております、いわゆるホットエレクトロン効果を低減するために設けられる。

【0046】次いで、図5 (i) に示すように、ゲート電極上層の酸化シリコン膜を、エッティングにより除去し、図6 (j) に示すように、チタニウム層を、例えば、スパッタリング法等により、全面に堆積させたのち、加熱することによって、ポリシリコン膜上のチタニウムをチタニウムシリサイドとしたのち、未反応のチタニウムのみを除去することにより、導電性の高いチタニウムシリサイド膜15をシリコン膜上に形成する。

【0047】そして、図6 (k) に示すように、全面に層間絶縁膜16を形成する。その後は、コンタクトホールを形成し、所定の配線構造等を形成することにより、目的とするNチャネルMOSトランジスタを有する半導体装置を製造することができる。

【0048】第2実施形態の半導体製造方法によれば、第1実施形態と同様、側壁保護膜を用いながらドライエッティングにより素子形成層を所定のパターンに形成する際に生じる、エッティングレートの相違に起因するサイドエッティングの発生を防止し、シリサイド工程により形成されるチタニウムシリサイド等の金属シリサイドの形成面積が小さくなって、いわゆる細線効果に伴う抵抗上昇を抑制して、信頼性の高い半導体装置を製造する製造方法を製造することができる。

【0049】なお、上記実施の形態では、ゲート電極の形成を例にとり、本発明を説明したが、本発明の半導体製造方法は、RIE等のドライエッティング法において、例えば、不純物がドープされた層とドープされていない層の場合のように、エッチャントに対するエッティングレートの相違に起因する局所的なサイドエッティングの発生を効果的に防止できることを特徴とする。従って、広く一般的な素子形成層の加工において、エッチャントに対するエッティングレートの相違に起因する局所的なサイドエッティングが生じる場合にも適用することができるのいうまでもない。

【0050】

【発明の効果】以上説明したように、本発明は、ゲート電極等の素子形成層を側壁保護膜を用いて所定のパターンに形成するためのドライエッティング工程を有する半導体装置の製造方法であって、前記ドライエッティング工程は、側壁保護膜の膜厚を変化させてドライエッティングを行う工程である半導体装置の製造方法である。

【0051】本発明によれば、側壁保護膜を用いながらドライエッティングにより素子形成層を所定のパターンに形成する際に生じる、エッティングレートの相違に起因するサイドエッティングの発生を防止することができ、かつ、寸法の太りが少ない素子形成層のドライエッティング

が可能となる。

【0052】従って、引き続くシリサイド工程により形成されるチタニウムシリサイド等の金属シリサイドの形成面積が小さくなって、いわゆる細線効果に伴う抵抗上昇を抑制することができ、信頼性の高い微細構造を有数半導体装置を製造することができる。

【図面の簡単な説明】

【図1】図1は、本発明の第1実施形態の半導体装置の製造の各工程の概要を示す図である。(a)は、半導体基板上に絶縁膜とポリシリコン膜を形成した断面図であり、(b)は、(a)に示す状態から、ポリシリコン膜表層部に不純物をイオン注入した断面図であり、(c)は、さらにその上に酸化シリコン膜を形成した状態の断面図である。

【図2】図2は、本発明の第1実施形態の半導体装置の製造の各工程の概要を示す図である。(d)は、図1 (c)に示す状態から、酸化シリコン膜を加工した断面図であり、(e)は、(d)に示す状態から、ポリシリコン膜表層部の不純物が含有されている部分をドライエッティングした途中の断面図であり、(f)は、(e)に示す状態から、ポリシリコン膜の不純物を含有しない部分をドライエッティングしてゲート電極を形成した断面図である。

【図3】図3は、本発明の第2実施形態の半導体装置の製造の各工程の概要を示す図である。(a)は、p型シリコン半導体基板上にLOCOS法により、素子分離を行った断面図であり、(b)は、全面にポリシリコン膜を形成し、その表層にn型不純物をイオン注入した断面図であり、(c)は、さらにポリシリコン膜の上に酸化シリコン膜を形成した断面図である。

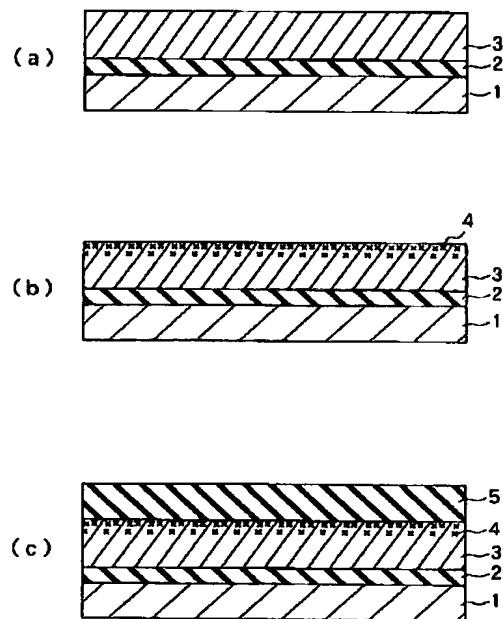
【図4】図4は、本発明の第2実施形態の半導体装置の製造の各工程の概要を示す図である。(d)は、図3 (c)に示す状態から、酸化シリコン膜を加工した断面図であり、(e)は、(d)に示す状態から、ポリシリコン膜表層部の不純物が含有されている部分をドライエッティングした途中の断面図であり、(f)は、(e)に示す状態から、ポリシリコン膜の不純物を含有しない部分をドライエッティングしてゲート電極を形成した断面図である。

【図5】図5は、本発明の第2実施形態の半導体装置の製造の各工程の概要を示す図である。(g)は、図4 (f)に示す状態から、ゲート電極エッジ部と素子分離膜との間に存在する酸化シリコン膜を除去し、そこへ、n型不純物をイオン注入して、n⁻領域を形成した断面図であり、(h)は、(g)に示す状態から、サイドウォールを形成したのち、サイドウォールエッジ部と素子分離膜との間にn型不純物をイオン注入して、n⁺領域を形成した図であり、(i)は、(h)に示す状態から、ゲート電極上の酸化シリコン膜をエッティングにより除去した断面図である。

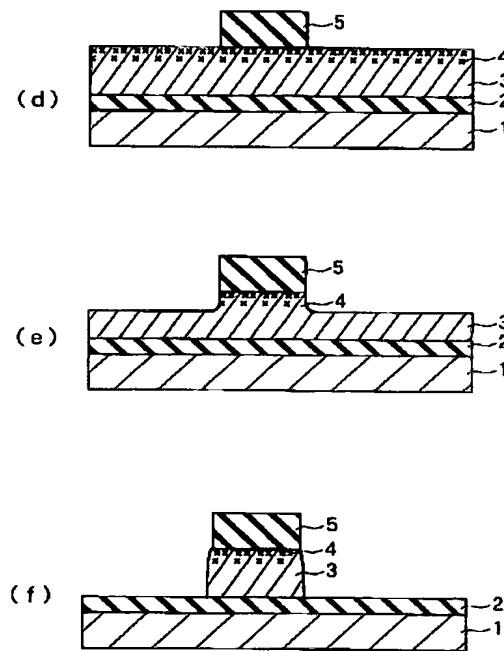
【図6】図6は、本発明の第2実施形態の半導体装置の製造の各工程の概要を示す図である。(j)は、図5(i)に示す状態から、シリコン上にチタニウムシリサイド膜を形成した断面図であり、(k)は、(j)に示す状態から、層間絶縁膜を全面に形成した図である。

【図7】図7は、従来のドライエッチング法によるゲート電極の形成方法の各工程を示す図である。(a)は、半導体基板上に、絶縁膜を介してポリシリコン膜を形成し、その表面部に不純物をイオン注入したのち、酸化シリコン膜を形成し、所定のエッチングにより所定の加工を行った断面図であり、(b)は、その後、ポリシリコン膜をドライエッチングしてゲート電極を形成した断面図であり、(c)は、ゲート電極周辺部の絶縁膜を除去したのち、サイドウォールを形成した断面図である。

【図1】



【図2】



1, 16…半導体基板、2, 17…絶縁膜、3, 8, 18…ポリシリコン層、4, 19…不純物、5, 10, 20…酸化シリコン膜、6…p型シリコン半導体基板、7…素子分離膜、9…n型不純物、11, 21…ゲート酸化膜、12…n領域、13…n⁺領域、14, 22…サイドウォール、15, 23…チタニウムシリサイド、16…層間絶縁膜

【図8】図8は、従来のドライエッチング法によるゲート電極の形成方法の各工程を示す図である。(d)は、図7(c)に示す状態から、ゲート電極上の酸化シリコン膜をエッチングにより除去した断面図であり、(e)は、(d)に示す状態から、シリコン上にチタニウムシリサイド膜を形成した断面図である。

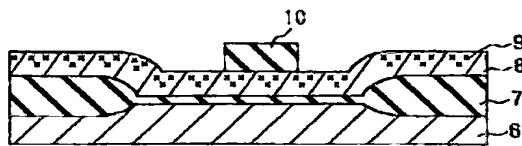
【符号の説明】

1, 16…半導体基板、2, 17…絶縁膜、3, 8, 18…ポリシリコン層、4, 19…不純物、5, 10, 20…酸化シリコン膜、6…p型シリコン半導体基板、7…素子分離膜、9…n型不純物、11, 21…ゲート酸化膜、12…n領域、13…n⁺領域、14, 22…サイドウォール、15, 23…チタニウムシリサイド、16…層間絶縁膜

【图3】

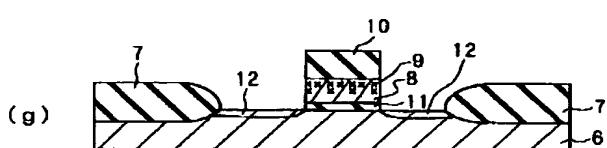


【文4】

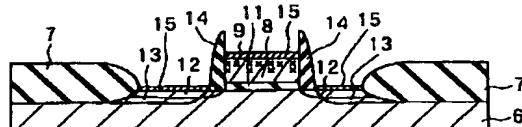


(e) A cross-sectional view showing a stepped profile. The profile has a central cavity 9 and a top feature 10. The numbers 6, 7, 8, and 9 are labeled on the right side of the diagram.

【图5】

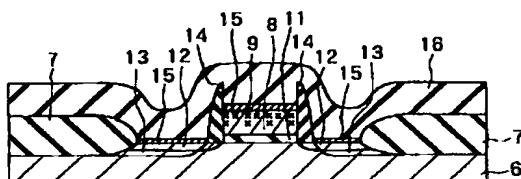


【図6】

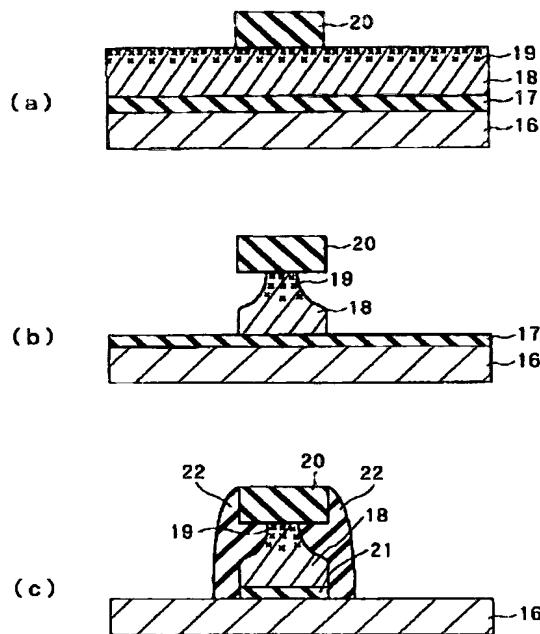


(i)

(k)



【図7】



【図8】

